

する否定論理和回路NOR1とが挿入されており、これらは、NMOSトランジスタNM1のゲートに供給する信号を生成して出力する制御回路を構成している。

【0033】

この制御回路は、入力端子INの入力信号がlow（低）レベルのとき、NMOSトランジスタNM1をオフ状態とし、入力信号がhighレベルに遷移した場合、NMOSトランジスタNM1をオン状態として、出力端子OUTの電荷をVSS側に放電して、出力端子OUTの電圧を電源電圧VSS側に遷移させ、その後、入力信号がhighレベルからlowレベルへ立ち下がり遷移する前の時点で、NMOSトランジスタNM1のゲートをlowレベルに設定することで、入力信号がhighからlowへ遷移し、PMOSトランジスタPM1がオフ状態からオンへ切り替わる時点では、NMOSトランジスタNM1はオフ状態に保たれる。

【0034】

これにより、本実施例では、入力信号の立ち下がり遷移により、PMOSトランジスタPM1がオフ状態からオン状態に切り替わるとき、電源VDDから電源VSS側への貫通電流は流れない。

【0035】

図1を参照すると、PMOSトランジスタPM1のドレインとNMOSトランジスタNM1のドレインの接続点は、バッファ回路の出力端子OUTに接続されるとともに、インバータINV2の入力端子とインバータINV3の出力端子とに接続されており、インバータINV2の出力端子はインバータINV3の入力端子に接続されており、インバータINV2とINV3はフリップフロップをなしており、バッファ回路の出力端子OUTの論理値を記憶保持する。

【0036】

そして、入力端子INに入力端子が接続されているインバータINV1の出力端子と、インバータINV2の出力端子は2入力の否定論理和回路NOR1の入力端子に接続されており、否定論理和回路NOR1の出力端子がNMOSトランジスタNM1のゲートに接続されている。

【 0 0 3 7 】

図 2 は、本発明の第 1 の実施例の動作を説明するための波形図である。図 2 を参照すると、入力端子 I N の入力信号電圧 V I N が、 $VDD - |V_{tp}|$ （ただし、 V_{tp} は PMOS トランジスタ PM 1 のしきい値電圧）以下となった時点（ t_0 ）で、出力端子 O U T の出力信号電圧 V O U T は立ち上がる。

【 0 0 3 8 】

これに対して、電源 V D D と V S S 間に直列に接続され、入力信号をゲートに共通に入力し、ドレイン同士の接続点が出力端子に接続される PMOS トランジスタと NMOS トランジスタからなる CMOS インバータ（比較例）においては、入力信号電圧 V I N が $VDD - |V_{tp}|$ 以下に遷移すると、PMOS トランジスタはオンするが、その際、NMOS トランジスタもオンしており、電源 V D D から、オン状態の PMOS トランジスタと NMOS トランジスタを通して、電源 V S S への貫通電流が流れる。NMOS トランジスタは、入力信号電圧が V_{tn} （ただし、 V_{tn} は NMOS トランジスタのしきい値電圧）を下まわると、オフし、貫通電流は、入力信号電圧が、 $VDD - |V_{tp}|$ と V_{tn} の間にある期間、電源 V D D から V S S へ貫通電流が流れる。すなわち、CMOS インバータへの入力信号が h i g h から l o w へ遷移した際に、その立ち上がり開始時間は、図 2 に破線（比較例）で示すように、本発明の実施例よりも遅れる。

【 0 0 3 9 】

このように、本発明は、入力信号の h i g h から l o w への遷移から出力信号の l o w から h i g h への伝搬遅延時間 t_{pLH} を、CMOS インバータよりも高速化している。

【 0 0 4 0 】

CMOS インバータにおいては、PMOS トランジスタと NMOS トランジスタのゲートの負荷容量の並列容量を駆動することが必要とされている。これに対して、本発明においては、入力端子 I N からみえるゲート負荷としては、バッファ回路の PMOS トランジスタのゲートの容量だけである。すなわち、インバータ I N V 1 は、N O R 1 へ入力する信号を作成するためのものでよく、PMOS トランジスタ PM 1、NMOS トランジスタ NM 1 のようにクロック配線等の負

荷を駆動するものでないため、インバータ $INV1$ の素子のサイズは、PMOS トランジスタ $PM1$ と比べて小さくてすみ、このため、入力端子 IN からみえるゲート負荷としては、バッファ回路のPMOS トランジスタのゲートの容量が見えるだけであり、入力信号の遷移の高速化に貢献している。

【 0 0 4 1 】

図3は、本発明の第1の実施例におけるバッファ回路の入力端子 (IN) への入力信号と出力端子 (OUT) からの出力信号の一例を模式的に示すタイミング図である。図3に示すように、本実施例において、バッファ回路の入力端子 (IN) に供給される入力信号の立ち下がりから、バッファ回路の出力端子 (OUT) の出力信号の立ち上がりまでの伝搬遅延時間 t_{pLH} は、通常のCMOSインバータよりも短縮されている。本実施例においては、入力信号の立ち上がり出力信号の立ち下がりまでの伝搬遅延時間 t_{pHL} は、例えば図1のインバータ $INV1$ 、否定論理和回路 $NOR1$ の遅延時間分、通常のCMOSインバータよりも遅れている。

【 0 0 4 2 】

図4は、図1に示した本発明の第1の実施例のバッファ回路の動作を説明するためのタイミングチャートである。図4において、 IN は図1の入力端子、 A はPMOS トランジスタ $PM1$ のゲート、 B はインバータ $INV1$ の出力 ($NOR1$ の第1入力)、 C はNMOS トランジスタ $NM1$ のゲート、 D はPMOS トランジスタ $PM1$ のドレインとNMOS トランジスタ $NM1$ のドレインの接続点、 E はインバータ $INV2$ の出力 ($NOR1$ の第2入力) のノードの信号波形である。

【 0 0 4 3 】

入力信号 IN の立ち上がり時 (図4のタイミング T_0)、ノード B はインバータ $INV1$ の遅延時間分遅延して low レベルに立ち下がり、このとき、ノード D は $high$ レベル、ノード E は low レベルであるため、否定論理和回路 $NOR1$ の出力であるノード C は、 low レベルから $high$ レベルに遷移する。ノード C の立ち上がりを受けて、ノード C の電圧をゲート電圧として入力するNMOS トランジスタ $NM1$ は、オフ状態からオンに切り替わり、ノード D の電荷を

VSS側に放電し、ノードDはlowレベルに遷移する。NMOSトランジスタNM1はオフ状態からオンに切り替わるときに、PMOSトランジスタPM1のゲート（ノードA）にはhighレベルが印加されており、PMOSトランジスタPM1はオフ状態とされており、電源VDDから電源VSSへの貫通電流は流れない。

【0044】

ノードDがlowレベルに遷移すると、インバータINV2の出力ノードであるノードEはhighレベルに遷移し、これを受けて否定論理和回路NOR1の出力であるノードCはlowレベルとなる。

【0045】

ノードCがlowレベルに遷移すると、ノードCの電圧をゲート電圧として入力するNMOSトランジスタNM1はオフする。なお、この間も入力信号はhighレベルとされており、PMOSトランジスタPM1はオフ状態とされる。PMOSトランジスタPM1は、入力信号INがhighからlowレベルへ遷移するまでオフ状態とされ、図4の T_{off} で示す期間（ノードCの立ち下がりから入力信号INの立ち下がりまでの期間）、バッファ回路の出力端子OUTは、高インピーダンス状態とされる。

【0046】

インバータINV2とINV3からなるフリップフロップは、ノードDの論理値（高インピーダンス状態となる前の論理値）を記憶保持し、バッファ回路の出力端子OUTが高インピーダンス状態の期間（ T_{off} ）の間、その出力端子がlowレベルとされるインバータINV3は、バッファ回路の出力端子OUTを放電して、バッファ回路の出力端子OUTをlowレベルとするように作用する。インバータINV3はCMOSインバータよりなり、好ましくは、そのNMOSトランジスタのサイズは、バッファ回路を構成するNMOSトランジスタNM1と比べて小とされる。バッファ回路のPMOSトランジスタPM1とNMOSトランジスタNM1がともにオフとなる期間（ T_{off} ）に、出力端子（OUT）の出力信号電圧がlowレベル（VOL以下、あるいはその近辺）であるが、いまだ電源電圧VSSに達していない場合、lowレベルを出力しているインバ

ータ $INV3$ は、出力端子 (OUT) の出力信号電圧を電源電圧 VSS 側に立ち下げる。

【0047】

図4のタイミング T_A で入力信号 IN が立ち下がると、図2等を参照して説明したように、オフ状態からオンへの切り替えが行われるPMOSトランジスタ $PM1$ により、電源 VDD から出力端子 OUT (ノード D) の充電が開始され、ただちに、出力端子 OUT (ノード D) の $high$ レベルへの立ち上がり遷移が開始される。このときノード E は、 low レベルに変化し、ノード B は $high$ レベルとされ、否定論理積回路 $NOR1$ の出力であるノード C は、そのまま low レベルとされる。すなわち、NMOSトランジスタ $NM1$ はオフ状態とされる。

【0048】

なお、図4では、タイミング T_0 と T_1 の間において、バッファ回路の入力端子 (IN) に入力されるクロック信号の $high$ レベルから low レベルへの立ち下がり遷移タイミングを T_A で表し、簡単のため、バッファ回路の入力端子 (IN) に入力されるクロック信号のデューティ比を $1:1$ (50%) としているが、この実施例において、クロック信号のデューティ比は $1:1$ でなくてもよいことは勿論である。図4では、タイミング T_0 から T_1 の期間が1クロックサイクル (t_{CK}) となる。

【0049】

次に、本発明の第2の実施例について説明する。図5は、本発明の第2の実施例の構成を示す図である。図5を参照すると、この実施例は、前記実施例とゲートに入力する信号が制御されるトランジスタの極性を入れ替えたものである。この実施例において、NMOSトランジスタ $NM1$ のゲートには、入力端子 IN の入力信号がそのまま入力され、PMOSトランジスタ $PM1$ のゲートには、インバータ $INV1$ 、否定論理積回路 $NAND1$ よりなる制御回路の出力信号が入力される構成とされている。前記実施例では、入力信号の立ち下がりに対するバッファ回路の出力信号の立ち上がりの伝搬遅延時間を短縮させていたが、この実施例では、図6に示すように、入力信号の立ち上がりに対するバッファ回路の出力信号の立ち下がり伝搬遅延時間 t_{pHL} を短縮させている。

【 0 0 5 0 】

より詳細には、図 5 を参照すると、この実施例のバッファ回路は、高位側電源 VDD にソースが接続された PMOS トランジスタ PM1 と、ソースが低位側電源 VSS に接続された NMOS トランジスタ NM1 を備え、PMOS トランジスタ PM1 のドレインと NMOS トランジスタ NM1 のドレインの接続ノードを、バッファ回路の出力端子 OUT とし、NMOS トランジスタ NM1 は、前記バッファ回路の入力端子 IN にゲートが接続されており、入力信号が low レベルのときオン状態とされ、入力信号電圧が上昇し、NMOS トランジスタ NM1 のしきい値電圧 V_{tn} を超えたときオンして、バッファ回路の出力端子 OUT を放電して、電源電圧 VSS 側に遷移させる。

【 0 0 5 1 】

バッファ回路の入力端子 IN と、PMOS トランジスタ PM1 のゲートの間には、インバータ INV1 と、否定論理積回路 NAND1 とからなる回路が挿入されており、PMOS トランジスタ PM1 のゲートに供給される信号のタイミングを制御する制御回路を構成している。

【 0 0 5 2 】

この制御回路は、入力端子 IN の入力信号が high レベルのとき、PMOS トランジスタ PM1 をオフ状態とし、入力信号が low レベルに遷移した場合、PMOS トランジスタ PM1 をオン状態として出力端子 OUT を VDD 側に充電して high レベルとし、その後、PMOS トランジスタ PM1 のゲートを high レベルに設定することで、入力信号が low から high へ遷移し、NMOS トランジスタ NM1 がオフからオンへ切り替わる時点では、PMOS トランジスタ PM1 はオフ状態に保たれる。これにより、NMOS トランジスタ NM1 がオン状態となるときの、電源 VDD から、PMOS トランジスタ PM1、NMOS トランジスタ NM1 を介して電源 VSS 側に流れ込む貫通電流は流れない。

【 0 0 5 3 】

図 5 を参照すると、PMOS トランジスタ PM1 と NMOS トランジスタ NM1 のドレインの接続点は、入力と出力が互いに接続されたインバータ INV2、INV3 よりなるフリップフロップを備え、入力端子 IN を入力とするインバー

タ I N V 1 の出力と、インバータ I N V 2 の出力端子は 2 入力の否定論理和回路 N O R 1 の入力端子に接続されており、否定論理積回路 N A N D 1 の出力端子が P M O S トランジスタ P M 1 のゲートに接続されている。

【 0 0 5 4 】

図 7 は、図 5 に示した本発明の第 2 の実施例の動作を説明するための図である。図 7 において、I N は図 5 の入力端子、A は P M O S トランジスタ P M 1 のゲート、B はインバータ I N V 1 の出力（N A N D 1 の第 1 入力）、C は N M O S トランジスタ N M 1 のゲート、D は P M O S トランジスタ P M 1 のドレインと N M O S トランジスタ N M 1 のドレインの接続点、E はインバータ I N V 2 の出力（N A N D 1 の第 2 入力）のノードの信号波形である。

【 0 0 5 5 】

図 7 のタイミング T_0 において、入力信号の立ち上がり時、N M O S トランジスタ N M 1 がオンして出力端子 O U T （ノード D）を l o w レベルとする。このとき、インバータ I N V 2 の出力ノード E は h i g h レベルとされる。

【 0 0 5 6 】

タイミング T_0 と T_1 の間のタイミング T_A において、バッファ回路の入力端子（I N）に供給される入力信号の立ち下がり時に、インバータ I N V 1 の出力が l o w レベルから h i g h レベルとなり、否定論理積回路 N A N D 1 の 2 入力（ノード B、E）がともに h i g h レベルとなるため、否定論理積回路 N A N D 1 の出力であるノード C は l o w レベルに遷移し、P M O S トランジスタ P M 1 をオンとして、出力端子 O U T （ノード D）を h i g h レベルとする。出力端子 O U T の h i g h レベルへの遷移により、インバータ I N V 2 の出力であるノード E は l o w レベルに遷移する。ノード B の信号電圧（h i g h レベル）とノード E の信号電圧（l o w レベル）を受けて、否定論理積回路 N A N D 1 は、その出力であるノード C を h i g h レベルに遷移させ、ゲートが h i g h レベルとされた P M O S トランジスタ P M 1 はオフ状態となる。このとき、入力信号 I N は l o w レベルであるため、N M O S トランジスタ N M 1 と P M O S トランジスタ P M 1 がともにオフとなる。

【 0 0 5 7 】

インバータ $INV2$ と $INV3$ よりなるフリップフロップは、ノード D の論理値（高インピーダンス状態となる前の論理レベル）を記憶保持し、バッファ回路の出力端子 OUT が高インピーダンス状態の期間（ T_{off} ）の間、その出力端子が $high$ レベルとされるインバータ $INV3$ は、バッファ回路の出力端子 OUT を充電し、 $high$ レベルとするように作用する。インバータ $INV3$ は、 $CMOS$ インバータよりなるが、その $PMOS$ トランジスタのサイズは、バッファ回路を構成する $PMOS$ トランジスタ $PM1$ と比べて小とされる（電流駆動能力は小）。

【0058】

バッファ回路の $PMOS$ トランジスタ $PM1$ と $NMOS$ トランジスタ $NM1$ がともにオフとなる期間（図7の T_{off} ）に、出力端子（ OUT ）の出力信号電圧（ノード D の電圧）が $high$ レベル（ V_{OH} 以上； V_{OH} は出力電圧 $HIGH$ ）であるが、いまだ電源電圧 DD に達していない場合、 $high$ レベルを出力するインバータ $INV3$ によって、出力端子（ OUT ）の出力信号電圧を電源電圧 V_{DD} 側に立ち上げる。

【0059】

図7のタイミング T_1 において、入力信号 IN が $high$ レベルに遷移すると、 $NMOS$ トランジスタ $NM1$ がオンし、その際、 $PMOS$ トランジスタ $PM1$ はそのゲートに $high$ レベルが印加された状態であるため、オフ状態とされ、出力端子 OUT をただちに low レベルとする。なお、図7では、簡単のため、バッファ回路の入力端子（ IN ）に入力されるクロック信号のデューティ比を $1:1$ （ 50% ）としているが、この実施例において、クロック信号のデューティ比は $1:1$ でなくてもよいことは勿論である。

【0060】

次に、本発明の第3の実施例について説明する。図8は、本発明の第3の実施例の構成を示す図である。図3に示すように、この実施例のバッファは、反転バッファ回路 $10A$ と、反転バッファ回路 $10B$ を縦続形態に接続したものであり、正転バッファとして機能する。

【0061】

反転バッファ回路 1 0 A は、図 1 を参照して説明した第 1 の実施例のバッファ回路と同一の構成とされており、入力端子 I N の入力信号の立ち下がりから出力信号の立ち上がりの遅延時間を短縮している。反転バッファ回路 1 0 B は、図 5 を参照して説明した第 2 の実施例のバッファ回路と同一の構成とされており、反転バッファ回路 1 0 A の出力信号の立ち上がりから出力端子 O U T の出力信号の立ち下がりまでの遅延時間を短縮している。

【 0 0 6 2 】

かかる構成により、入力端子 I N の入力信号の立ち下がりから出力端子 O U T の出力信号の立ち下がりまでの遅延時間を短縮している。

【 0 0 6 3 】

この実施例の一変形例として、反転バッファ回路 1 0 B を前段とし、反転バッファ回路 1 0 A を反転バッファ回路 1 0 B の後段に配置した場合、反転バッファ回路 1 0 B で、入力端子 I N の入力信号の立ち上がりから出力信号の立ち下がりまでの伝搬遅延時間を短縮し、反転バッファ回路 1 0 A で反転バッファ回路 1 0 B の出力信号の立ち下がりから出力端子 O U T の出力信号の立ち上がりまでの伝搬遅延時間を短縮している。かかる構成により、縦続接続されたバッファ回路における、入力端子 I N の入力信号の立ち上がりから、出力端子 O U T の出力信号の立ち上がりまでの伝搬遅延時間を短縮している。

【 0 0 6 4 】

次に、本発明の第 4 の実施例について説明する。図 9 は、本発明の第 4 の実施例の構成を示す図である。図 1、及び図 5 に示した実施例の構成では、P M O S トランジスタと N M O S トランジスタがともにオフとなる期間 T_{off} 、バッファ回路の出力端子 O U T を、出力端子 O U T の直前の論理レベルである l o w レベルまたは h i g h レベルとするフリップフロップ (I N V 2、I N V 3) を設けることで、バッファ回路の出力端子 O U T が高インピーダンス状態となったときに、出力端子 O U T が、正規の論理値レベルとなるように制御されている。しかしながら、例えば、図 4 のタイミング図において、バッファ回路の出力端子 O U T が高インピーダンス状態である期間 T_{off} が比較的短い場合には、図 1、図 5 等 に示したインバータ I N V 2、I N V 3 よりなるフリップフロップを省略

しても、本発明の作用効果をある程度奏することができる。すなわち、期間 T_{off} が短時間であれば、バッファ回路の出力端子OUTが誤った論理レベルとして次の段の回路に受け渡される可能性は少ない。この場合、図9を参照すると、PMOSトランジスタPM1のゲートは入力端子INに接続されており、NMOSトランジスタNM1のゲートには、入力端子INの入力信号を入力して反転出力するインバータINV1の出力と、入力端子INの入力信号を入力して遅延させて出力する遅延回路100の出力とを入力とする否定論理和回路NOR1の出力端子が接続されている。

【0065】

この実施例において、バッファ回路の入力端子INの入力信号のhighレベルからlowレベルへの立ち下がり時における、バッファ回路の出力端子OUTの信号のlowレベルからhighレベルへの立ち上がり遷移は、図3に示したタイミング波形と同様とされる。

【0066】

図10は、本発明の第4の実施例の動作の一例を示すタイミング図である。この実施例において、入力端子INの入力信号のlowレベルからhighレベルへの立ち上がり時(T_0)、この入力信号の遷移を受けて、インバータINV1の出力であるノードBはlowレベルとなる。このとき、遅延回路100の出力信号はいまだlowレベルであるため(ノードEには、highレベルの信号が出力されていない)、ノードEのlowレベルを入力している否定論理和回路NOR1は、ノードBのlowレベルへの遷移を受け、その出力であるノードCをhighレベルに変化させる。ノードCがhighレベルとなると、NMOSトランジスタNM1がオンし、出力端子OUTがlowレベルに遷移する。

【0067】

入力端子INからの入力信号を入力する遅延回路100は、該入力信号の立ち上がりを時間 t_{d1} 分遅延させて、遅延させた信号を、遅延回路100の出力端子であるノードEに出力し、ノードEのlowレベルからhighレベルへの立ち上がりの遷移を受けて、否定論理和回路NOR1は、その出力であるノードCをhighレベルからlowレベルに変化させる。この結果、NMOSトランジ

スタNM1はオフする。このとき、入力端子INの信号はhighレベルであり、PMOSトランジスタPM1とNMOSトランジスタNM1は、ともにオフ状態となる（図10の期間 T_{off} 参照）。

【0068】

つづいて、図10のタイミング T_A において、入力信号INがhighレベルからlowレベルに遷移し、PMOSトランジスタPM1がオン状態となり、出力端子OUTはhighレベルに遷移する。遅延回路100の遅延時間を調整することで、期間 T_{off} を短時間とすることで、出力端子OUTが長時間高インピーダンス状態になったときに、直前の論理値に設定しておく回路は不用とされている。なお、この第4の実施例において、前記第1、第2の実施例のように、バッファ回路の出力端子OUTに、2つのインバータ（INV2、INV3）よりなるフリップフロップを接続してもよいことは勿論である。なお、図10では、タイミング T_0 と T_1 の間においてバッファ回路の入力端子（IN）に入力されるクロック信号のhighレベルからlowレベルへの立ち下がり遷移タイミングを T_A で表し、簡単のため、バッファ回路の入力端子（IN）に入力されるクロック信号のデューティ比を1：1（50%）としているが、この実施例において、クロック信号のデューティ比は1：1でなくてもよいことは勿論である。

【0069】

図9において、遅延回路100は、例えば図11に示すような同期遅延ループ（DLL：Delay Locked Loop）で構成してもよい。すなわち、入力信号を入力して遅延して出力し、遅延時間が可変とされる遅延回路101と、遅延回路101の出力を入力し所定の遅延時間分、遅延させるディレイレプリカ103と、ディレイレプリカ103の出力と入力信号の位相を比較する位相検出回路102とを備え、位相検出回路102の検出結果に基づき、遅延回路101の遅延時間が可変に設定される。

【0070】

あるクロックサイクルの入力信号の立ち上がりエッジが遅延回路101で t_{d1} 遅延され、ディレイレプリカ103で遅延時間 t_{d2} 遅延され、位相検出回路

102では次のサイクルの信号の立ち上がりエッジと、ディレイレプリカ103の出力信号の位相が一致するように遅延回路101の遅延時間が調整される。

【0071】

入力端子INに入力される信号（クロック）が、周期 t_{CK} のデューティ50%のクロック信号の場合、ディレイレプリカ103の遅延時間を t_{d2} と設定している場合、遅延回路101の遅延時間 t_{d1} は、 $t_{d1} = t_{CK} - t_{d2}$ とされ、オフ期間 T_{off} は、 $T_{off} = t_{d2} - t_{CK}/2$ とされる。オフ期間 T_{off} の典型値に基づき、ディレイレプリカの遅延時間 t_{d2} を設定することで、入力端子INの立ち下がりエッジに対して、期間 T_{off} 分前倒しして、ノードCがlowレベルとし、入力端子INの立ち下がりによりPMOSトランジスタPM1がオンするとき、NMOSトランジスタNM1はオフとされる。

【0072】

なお、この実施例において、遅延回路100は、DLL回路に限定されるものでない。例えばクロック伝搬方向が互いに逆向きの第1、第2の遅延回路列を備え、クロックパルスが第1の遅延回路列を進行し、次のクロックパルスにより第1の遅延回路列を進行しているクロックパルスが転送回路を介して第2の遅延回路列に転送され、第2の遅延回路列を第1の遅延回路列と逆方向に転送する構成の同期型遅延回路で構成してもよい。

【0073】

本発明に係るバッファ回路を、クロックツリーバッファとして半導体集積回路に組み込んだ場合、例えば図12に示すような構成とされる。フリップフロップ（あるいはレジスタ）FF1乃至FF12が、クロックの立ち上がりエッジを使ってデータをサンプルする構成とされ、クロックツリーに4段のインバータが挿入される場合、INV101、INV103～INV105は、図5に示した反転バッファで構成され、INV102、INV106～INV117は、図1に示した反転バッファで構成される。

【0074】

次に本発明の実施例に係るバッファ回路を用いたクロックツリーバッファの性能と、従来のCMOSインバータを用いたクロックツリーバッファの性能を比較

して評価した一例について説明する。図 1 4 は、比較例として、図 1 2 の 2 段のインバータ INV 1 0 1、INV 1 0 2 に、通常の CMOS インバータからなる反転バッファを用いた場合の過渡解析 (transient analysis) のシミュレーション結果の入力波形 IN 1 と出力波形 DOUT 1 を示す図である。なお、図 1 2 の初段のインバータの PMOS トランジスタと NMOS トランジスタの利得係数 β の比 β_p / β_n は 1 5 0 / 7 5、2 段目のインバータの PMOS トランジスタと NMOS トランジスタの利得係数 β の比 β_p / β_n は 4 0 0 / 2 0 0 としてある。

【 0 0 7 5 】

図 1 2 の初段の CMOS インバータ INV 1 0 1 には、図示されないレシーバ回路 (差動の反転バッファ回路) からの信号が供給されるものとし、このレシーバ回路に入力される信号 (IN 1) の振幅の最小値 0. 2 5 V、最大値は 1. 2 5 V であり、クロック周期 $t_{CK} = 3 \text{ ns}$ 、デューティ比は 3 : 2 であり、立ち上がり時間は 0. 3 ns としてある。図 1 4 に示すように、入力信号 IN 1 の立ち上がりから、CMOS インバータ INV 1 0 3 の出力である出力信号 DOUT 1 (図 1 2) の立ち下がりまでの伝搬遅延時間は 0. 5 4 5 6 ns ($\approx 5 4 5 \text{ ps}$)、入力信号 IN 1 の立ち下がりから出力信号 DOUT 1 の立ち上がりまでの伝搬遅延時間は 0. 5 2 5 2 ns ($\approx 5 2 5 \text{ ps}$) とされる。

【 0 0 7 6 】

一方、図 1 3 は、図 1 2 の 2 段のインバータ INV 1 0 1、INV 1 0 2 として、図 8 に示した本発明の実施例に係るバッファ回路 1 0 A とバッファ回路 1 0 B を用いた場合の、過渡解析のシミュレーション結果の入力波形 IN 1 と出力波形 DOUT 1 を示す図である。図 1 2 のインバータ INV 1 0 1 の入力端には、図示されないレシーバ回路 (反転バッファ回路) の出力信号を受けるものとし、このレシーバ回路に入力される信号 (IN 1) の振幅の最小値 0. 2 5 V、最大値は 1. 2 5 V であり、クロック周期 $t_{CK} = 3 \text{ ns}$ 、デューティ比は、3 : 2 であり、立ち上がり時間は 0. 3 ns としてある。なお、初段のバッファ回路 1 0 A の β_p / β_n (PMOS トランジスタ PM 1 1 と NMOS トランジスタ NM 1 1 の利得係数 β の比) は 1 8 0 / 8 0、2 段目のバッファ回路 1 0 A の $\beta_p /$

β_n (PMOSトランジスタPM12とNMOSトランジスタNM12の利得係数 β の比)は100/150としてある。入力信号IN1の立ち上がりから、出力信号DOUT1 (図12)の立ち下りの伝搬遅延時間は0.4814ns (≈ 481 ps)、入力信号IN1の立ち下りから、出力信号DOUT1 (図12)の立ち上りの伝搬遅延時間は0.8336ns (≈ 833 ps)とされる。

【0077】

図13において、オフ期間は0.8441ns (844.1ps)とされる (DOUT1がhighレベルの期間)。このオフ期間において、図12のバッファINV102を構成する図8のバッファ回路10Bにおいて、PMOSトランジスタPM12がオフとされ (NMOSトランジスタNM12もオフであり、バッファ回路10Bの出力が高インピーダンス状態である)、フリップフロップを構成するインバータINV15の出力により、オフ状態のバッファ回路10Bの出力端子OUTの電源電圧VDD側への引き上げが行われる。この解析結果の比較により、本実施例では、レシーバ回路への入力の立ち下りから出力 (DOUT1)の立ち上がりまでの伝搬遅延時間 t_{pLH} は、481psとされ、従来のCMOSインバータで構成した場合と比べて、 t_{pLH} を12%程度短縮している。

【0078】

本発明のさらに別の実施例について説明する。図15は、本発明の第5の実施例の構成を示す図であり、図1に示した前記第1の実施例の変形例を示している。すなわち、図15を参照すると、本発明の第5の実施例のバッファ回路は、図1において、インバータINV1の出力とインバータINV2の出力を入力とする2入力否定論理和回路NOR1を、3入力否定論理和回路NOR3に置き換えて構成されている。3入力否定論理和回路NOR3の3つの入力端子には、インバータINV1の出力信号と、インバータINV2の出力信号と、バッファ回路の外部より供給される選択制御信号とがそれぞれ入力されている。これ以外の構成は、前記第1の実施例と同様である。

【0079】

本発明の第5の実施例の動作について以下に説明する。バッファ回路を非活性化するため選択制御信号がh i g hレベルとされると、3入力否定論理和回路N O R 3の出力は、他の2つの入力信号の値によらず強制的にl o wレベルとされ（他の2つの入力信号はマスクされる）、3入力否定論理和回路N O R 3の出力信号をゲートに入力とするN M O SトランジスタN M 1は、入力端子I Nに入力される信号の値のいかんによらず、オフ状態となる。このように、選択制御信号がh i g hレベルとなると、N M O SトランジスタN M 1はオンしなくなるため、ノードDはh i g hレベルに固定となる。すなわち、バッファ回路の入力端子に入力されるクロック信号の出力が停止される。

【0080】

一方、本発明の第5の実施例において、バッファ回路を活性化するために選択制御信号がl o wレベルとなると、図1を参照して説明した前記実施例と同様に動作する。すなわち、選択制御信号がl o wレベルのとき、3入力否定論理和回路N O R 3は、他の2つの入力端子の値、すなわち、インバータI N V 1の出力信号とインバータI N V 2の出力信号の値がともにl o wレベルのときに（入力端子I Nと出力端子O U Tの信号がともにh i g hレベルのときに）、h i g hレベルを出力し、N M O SトランジスタN M 1をオン状態とし、ノードDはl o wレベルとなる。その結果、インバータI N V 2の出力信号はh i g hレベルとなり、3入力否定論理和回路N O R 3はl o wレベルを出力し、N M O SトランジスタN M 1をオフ状態とする。入力端子I Nに供給される入力信号がl o wレベルとなると、P M O SトランジスタP M 1がオンに切り替わり、ノードDを充電する。また、このとき、インバータI N V 1の出力信号はh i g hレベルとなり、3入力否定論理和回路N O R 3はそのままl o wレベルを出力し、N M O SトランジスタN M 1はオフ状態とされる。このように、N M O SトランジスタN M 1がオフの状態、P M O SトランジスタP M 1がオンに切り替わるため、高位側電源V D Dから低位側電源V S Sへの貫通電流が流れず、消費電力を低減し、出力端子を高速に充電する。このように、本発明の第5の実施例では、h i g hレベル出力の高速性を維持しながら、クロックの供給を必要に応じて停止することができ、スタンバイモード等のパワーセーブ機能を有する半導体装置等に適

用して好適とされる。

【 0 0 8 1 】

図 1 6 は、本発明の第 6 の実施例の構成を示す図である。本発明の第 6 の実施例は、図 5 を参照して説明した前記第 2 の実施例の変形例である。すなわち、図 1 6 を参照すると、本発明の第 6 の実施例においては、図 5 の 2 入力否定論理積回路 N A N D 1 を、3 入力否定論理積回路 N A N D 3 に置き換えて構成したものである。3 入力否定論理積回路 N A N D 3 の 3 つの入力端子には、インバータ I N V 1 の出力信号と、インバータ I N V 2 の出力信号と、図 1 5 の選択制御信号の反転信号とがそれぞれ入力される。これ以外の構成は、前記第 2 の実施例と同様である。なお、図 1 6 に示す例では、選択制御信号を図 1 5 に示したものと共通としているため、3 入力否定論理積回路 N A N D 3 には、選択制御信号の反転信号が入力されている。しかしながら、この選択制御信号の論理の設定は任意であり、図 1 6 において、図 1 5 に示した例と相違して、バッファ回路を活性化、非活性化させるための選択制御信号の論理レベルを、それぞれ h i g h レベル、l o w レベルとした場合には、選択制御信号がそのまま 3 入力否定論理積回路 N A N D 3 に入力される。

【 0 0 8 2 】

本発明の第 6 の実施例の動作について以下に説明する。バッファ回路を非活性化するために、選択制御信号が h i g h レベルとされると、3 入力否定論理積回路 N A N D 3 に入力される選択制御信号の反転信号は l o w レベルとされ、3 入力否定論理積回路 N A N D 3 は h i g h レベルを出力し、P M O S トランジスタ P M 1 をオフ状態とする。P M O S トランジスタ P M 1 がオンしなくなるため、ノード D は l o w レベル固定となる。すなわち、バッファ回路の入力端子に入力されるクロック信号の出力が停止される。

【 0 0 8 3 】

一方、バッファ回路を活性化するために、選択制御信号を l o w レベルとすると、図 5 を参照して説明した前記実施例と同様に動作する。すなわち、選択制御信号が l o w レベルのとき、その反転信号を入力とする 3 入力否定論理積回路 N A N D 3 は、他の 2 つの入力端子の値、すなわち、インバータ I N V 1 の出力信

号とインバータ I N V 2 の出力信号の値がともに h i g h レベルのときに(入力端子 I N と出力端子 O U T の信号がともに l o w レベルのときに)、l o w レベルを出力し、P M O S トランジスタ P M をオン状態とし、ノード D は h i g h レベルとなる。その結果、インバータ I N V 2 の出力信号は l o w レベルとなり、3 入力否定論理積回路 N A N D 3 は h i g h レベルを出力し、P M O S トランジスタ P M 1 をオフ状態とする。入力端子 I N に供給される入力信号が h i g h レベルとなると、N M O S トランジスタ N M 1 がオンに切り替わり、ノード D を放電する。また、このとき、インバータ I N V 1 の出力信号は l o w レベルとなり、3 入力否定論理積回路 N A N D 3 はそのまま h i g h レベルを出力し、P M O S トランジスタ P M 1 はオフ状態とされる。このように、P M O S トランジスタ P M 1 がオフの状態、N M O S トランジスタ N M 1 がオフからオンに切り替わるため、高位側電源 V D D から低位側電源 V S S への貫通電流が流れず、消費電力を低減し、出力端子を高速に放電する。このように、この実施例においては、l o w レベル出力の高速性を維持しながら、クロックの供給を必要に応じて停止することができ、スタンバイモード等のパワーセーブ機能を有する半導体装置等に適用して好適とされる。なお、図 1 5 と図 1 6 に示した、本発明の第 5 及び第 6 の実施例の構成の N O R 3, N A N D 3 のいずれか一方又は双方を、図 8 のバッファ回路 1 0 A、1 0 B のいずれか一方又は双方に適用してもよいことは勿論である。また、図 9 に示した 2 入力否定論理和回路 N O R 1 を、選択制御信号をさらに入力する 3 入力否定論理和回路で置き換えた構成としてもよいことは勿論である。

【 0 0 8 4 】

以上、本発明を上記各実施例に即して説明したが、本発明は、上記実施例の構成に限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【 0 0 8 5 】

【発明の効果】

以上説明したように、本発明に係るバッファ回路によれば、信号の伝搬遅延時間を短縮している。かかる本発明に係るバッファ回路によれば、クロック経路に

遅延調整用のバッファを挿入した場合に、遅延調整用のバッファがクロック供給先へのタイミング余裕に与える影響を緩和しており、半導体集積回路に搭載されるバッファツリー等に用いて好適とされる。さらに、本発明に係るバッファ回路によれば、信号の遅延時間の短縮を維持しながら、活性化／非活性化を制御する制御信号に基づき、信号の伝搬、停止を制御することができる、という効果を奏するものであり、パワーセーブ機能等を備えた高速半導体装置のバッファツリー回路に適用して好適とされる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例の構成を示す図である。

【図 2】

本発明の第 1 の実施例の入出力動作を説明するための波形図である。

【図 3】

本発明の第 1 の実施例の概要を説明するため入力信号と出力信号のタイミング図である。

【図 4】

本発明の第 1 の実施例の動作の一例を説明するためのタイミング図である。

【図 5】

本発明の第 2 の実施例の構成を示す図である。

【図 6】

本発明の第 2 の実施例の動作の概要を説明するための入力信号と出力信号のタイミング図である。

【図 7】

本発明の第 2 の実施例の動作の一例を説明するためのタイミング図である。

【図 8】

本発明の第 3 の実施例の構成を示す図である。

【図 9】

本発明の第 4 の実施例の構成を示す図である。

【図 1 0】

本発明の第 4 の実施例の動作の一例を説明するためのタイミング図である。

【図 1 1】

本発明の第 4 の実施例の遅延回路の構成の一例を示す図である。

【図 1 2】

本発明の実施例のバッファ回路が適用されるクロックツリーの構成を示す図である。

【図 1 3】

本発明の第 3 の実施例を用いたクロックツリーバッファの過渡解析のシミュレーション結果の一例を示す図である。

【図 1 4】

比較例として CMOS インバータを用いたクロックツリーバッファの過渡解析のシミュレーション結果の一例を示す図である。

【図 1 5】

本発明の第 5 の実施例の構成を示す図である。

【図 1 6】

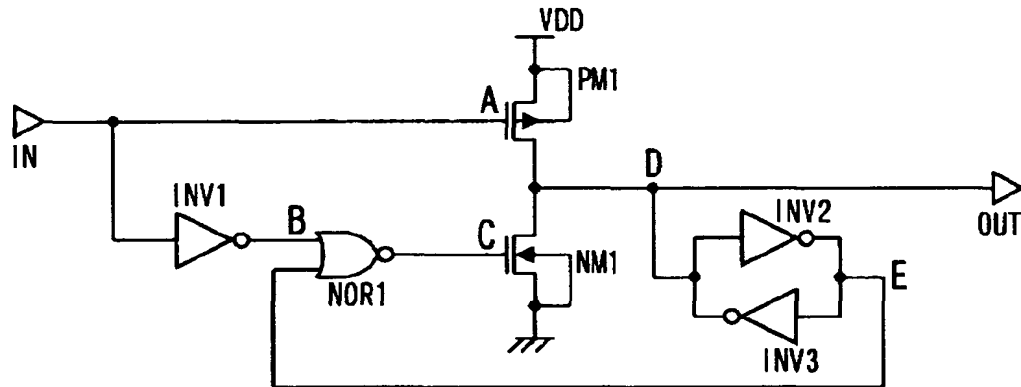
本発明の第 6 の実施例の構成を示す図である。

【符号の説明】

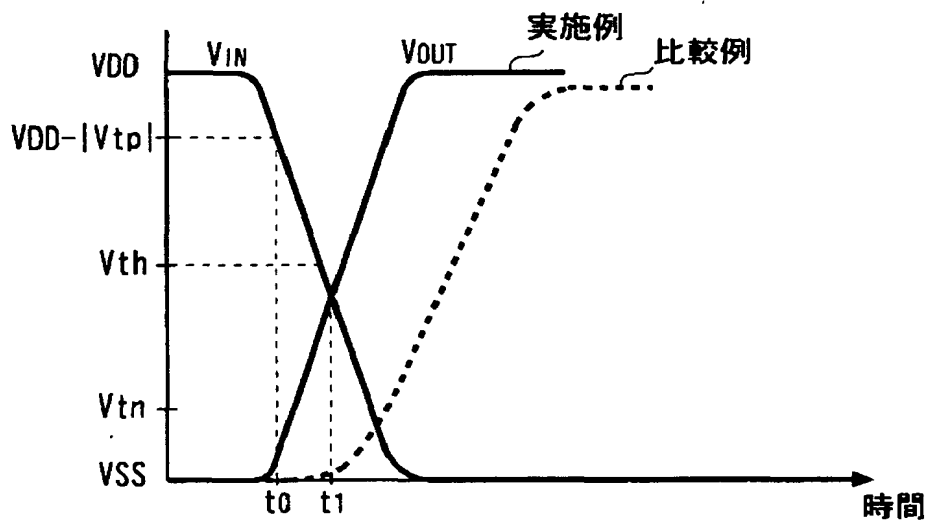
- 1 0 A、1 0 B バッファ回路
- 1 0 0 遅延回路
- 1 0 1 可変遅延回路
- 1 0 2 位相検出回路
- 1 0 3 遅延（ディレイ）レプリカ

【書類名】 図面

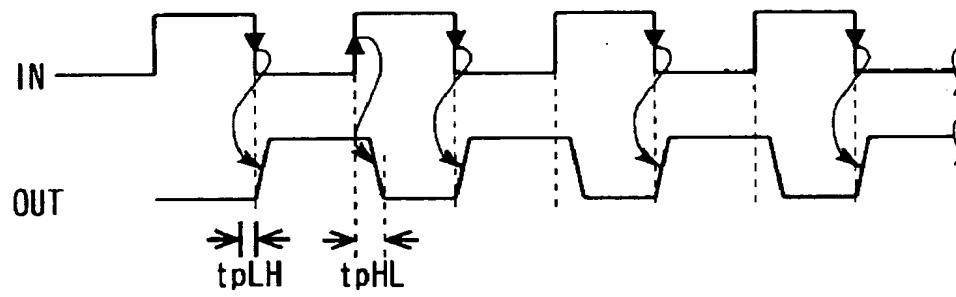
【図 1】



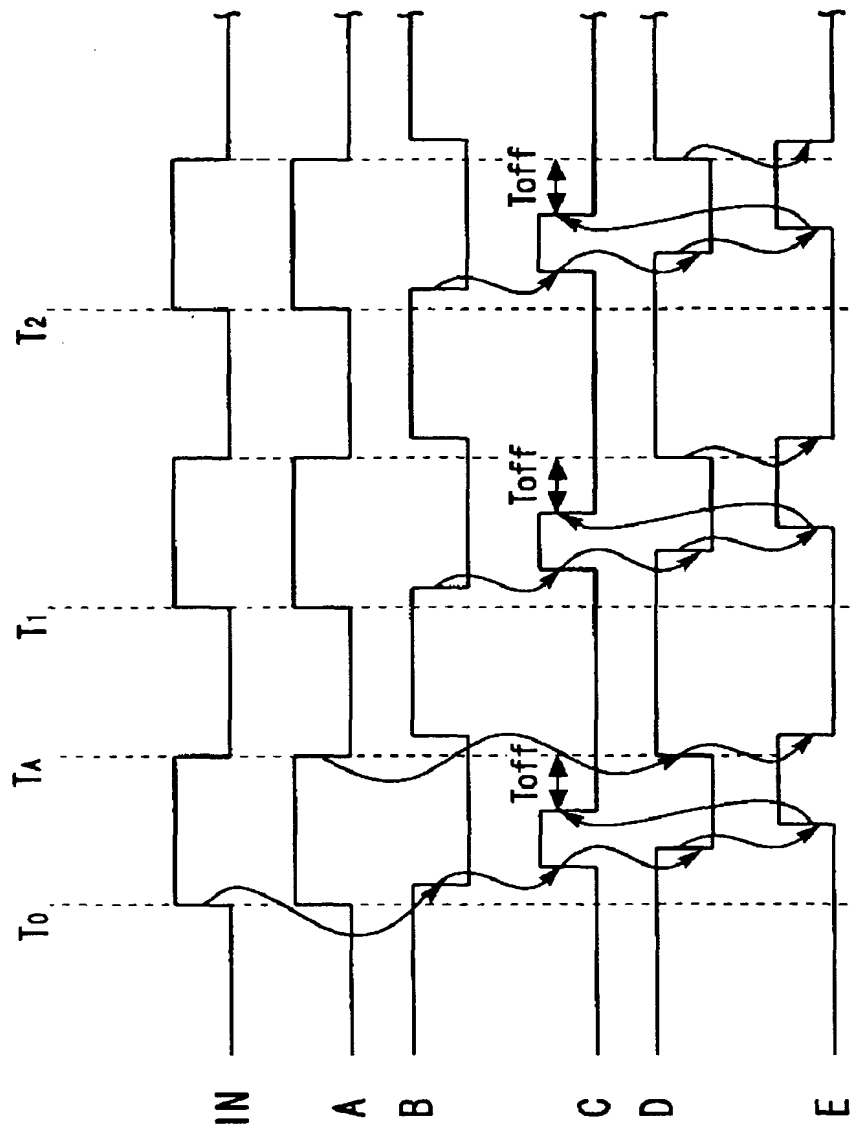
【図 2】



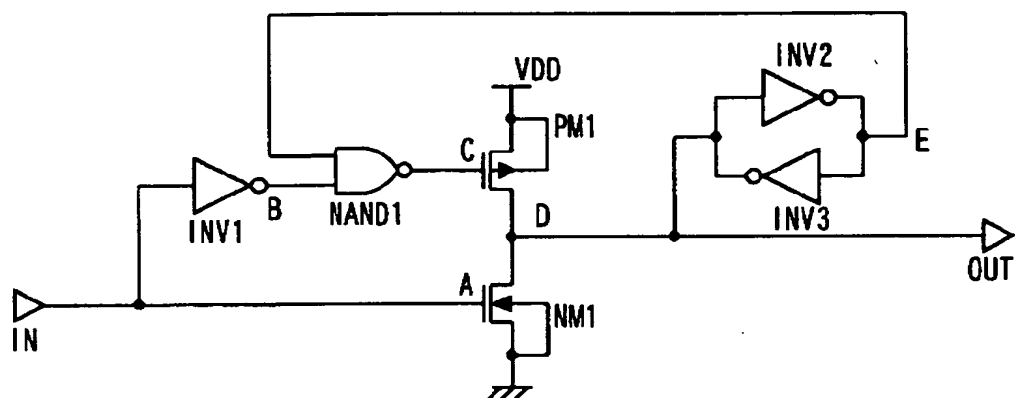
【図 3】



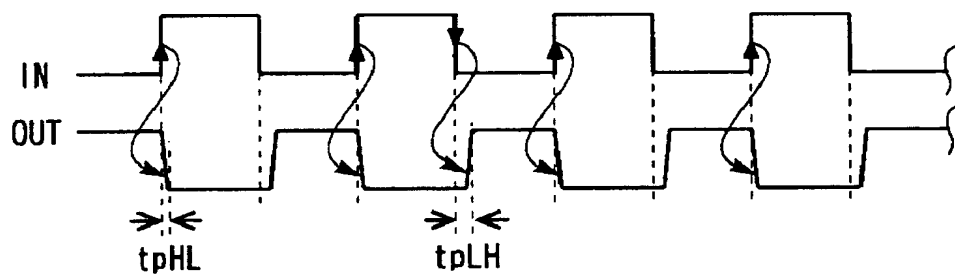
【図4】



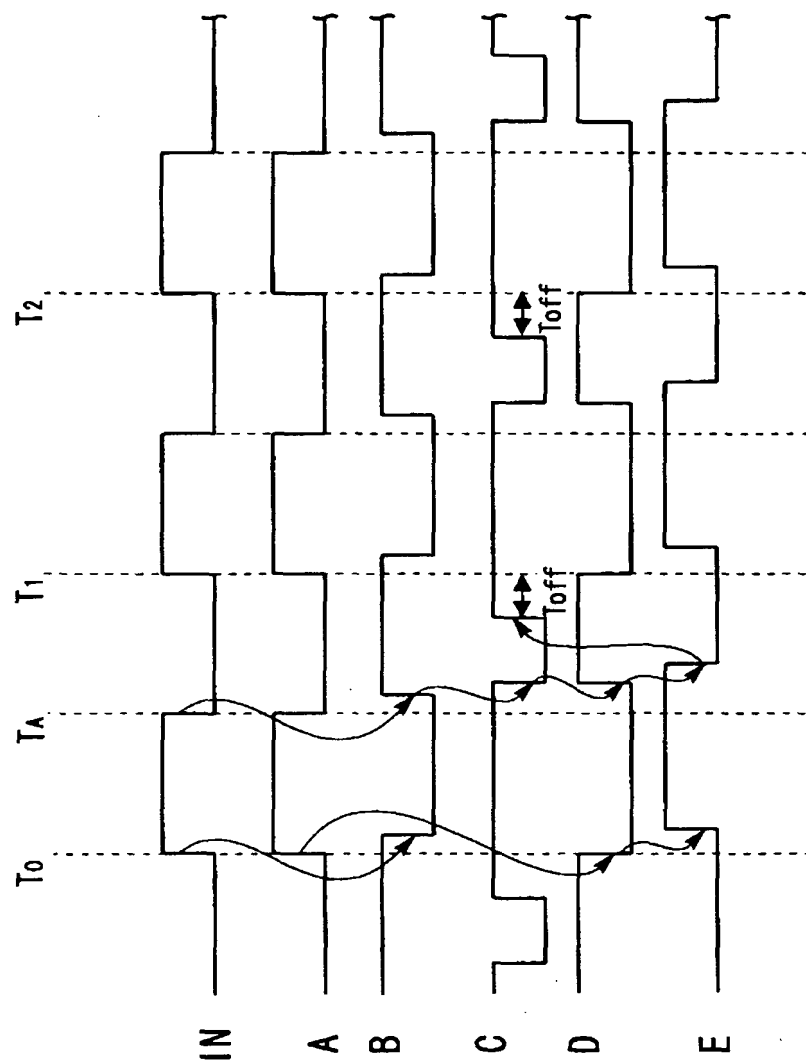
【図 5】



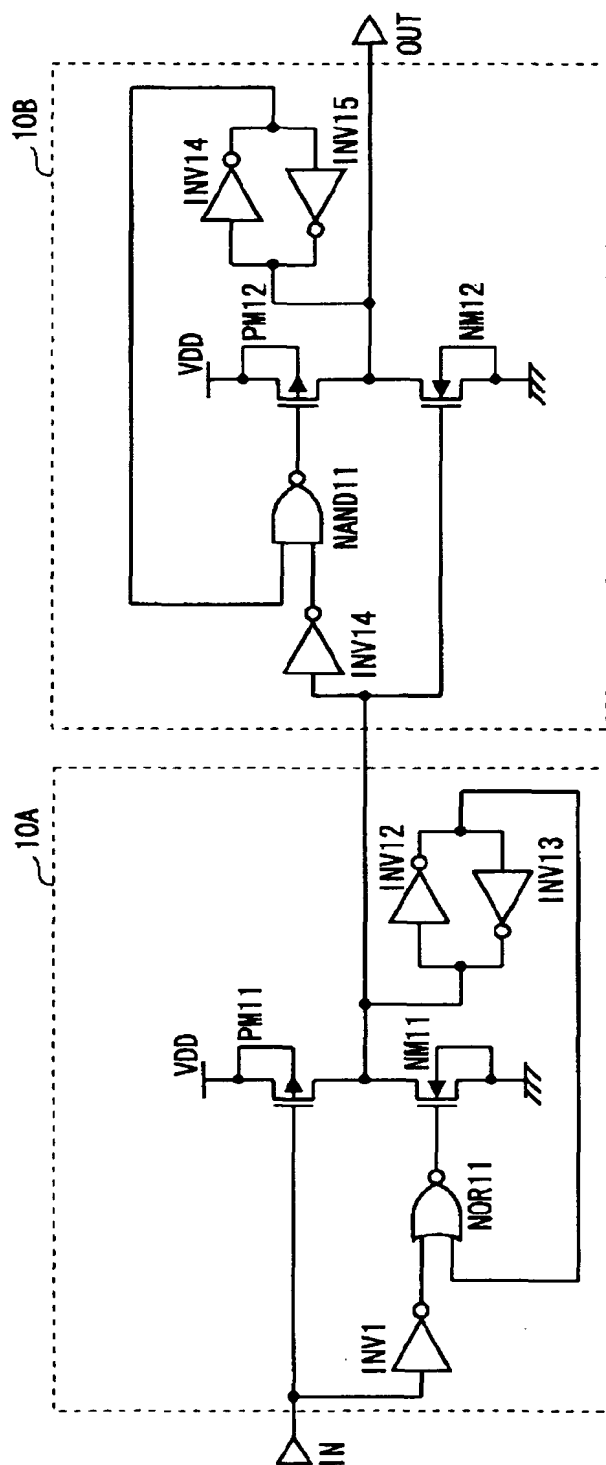
【图 6】



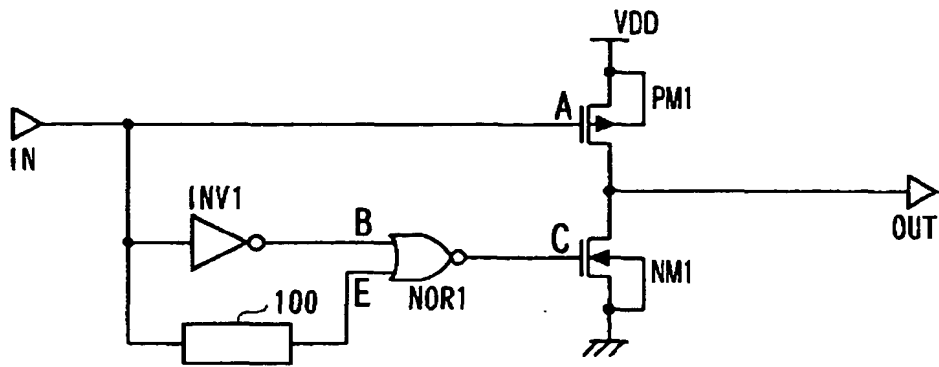
【図 7】



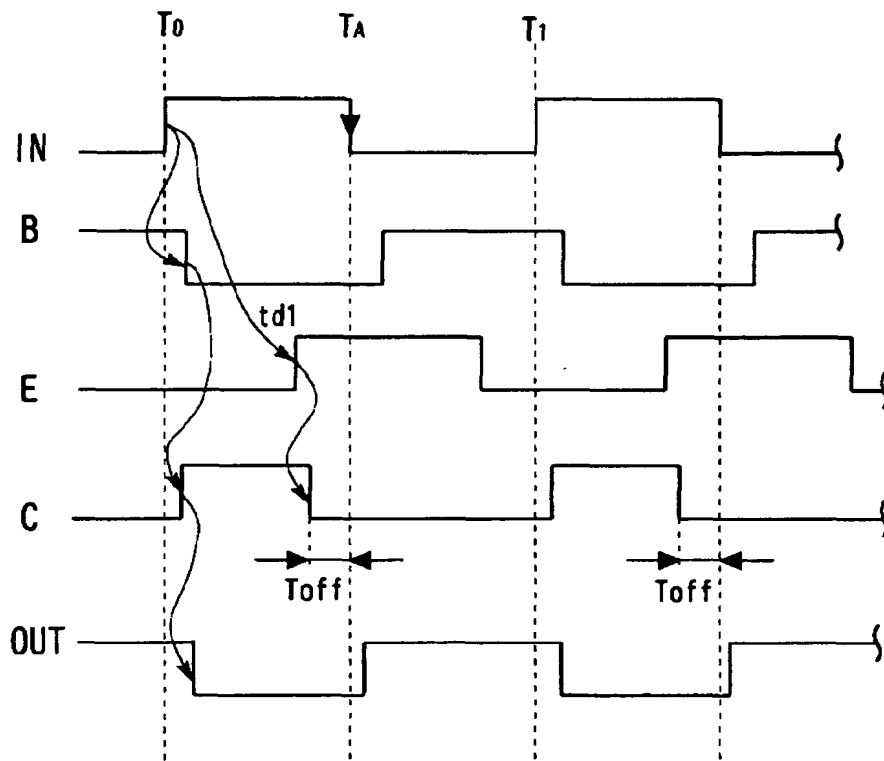
【図 8】



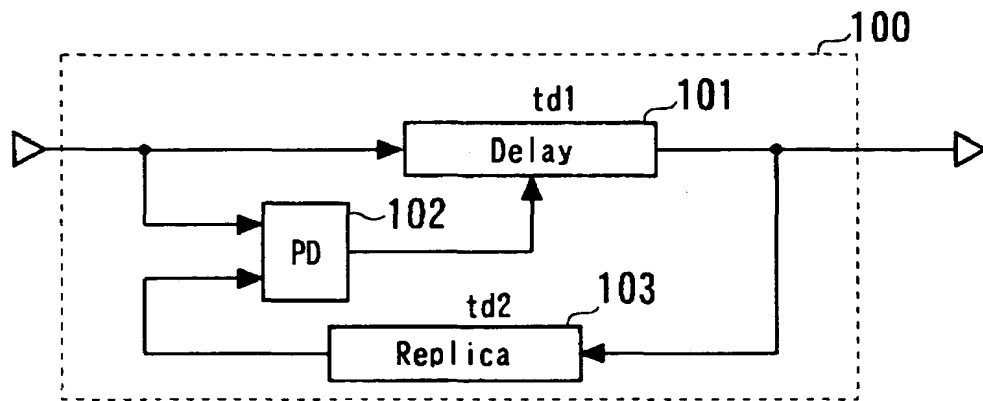
【図 9】



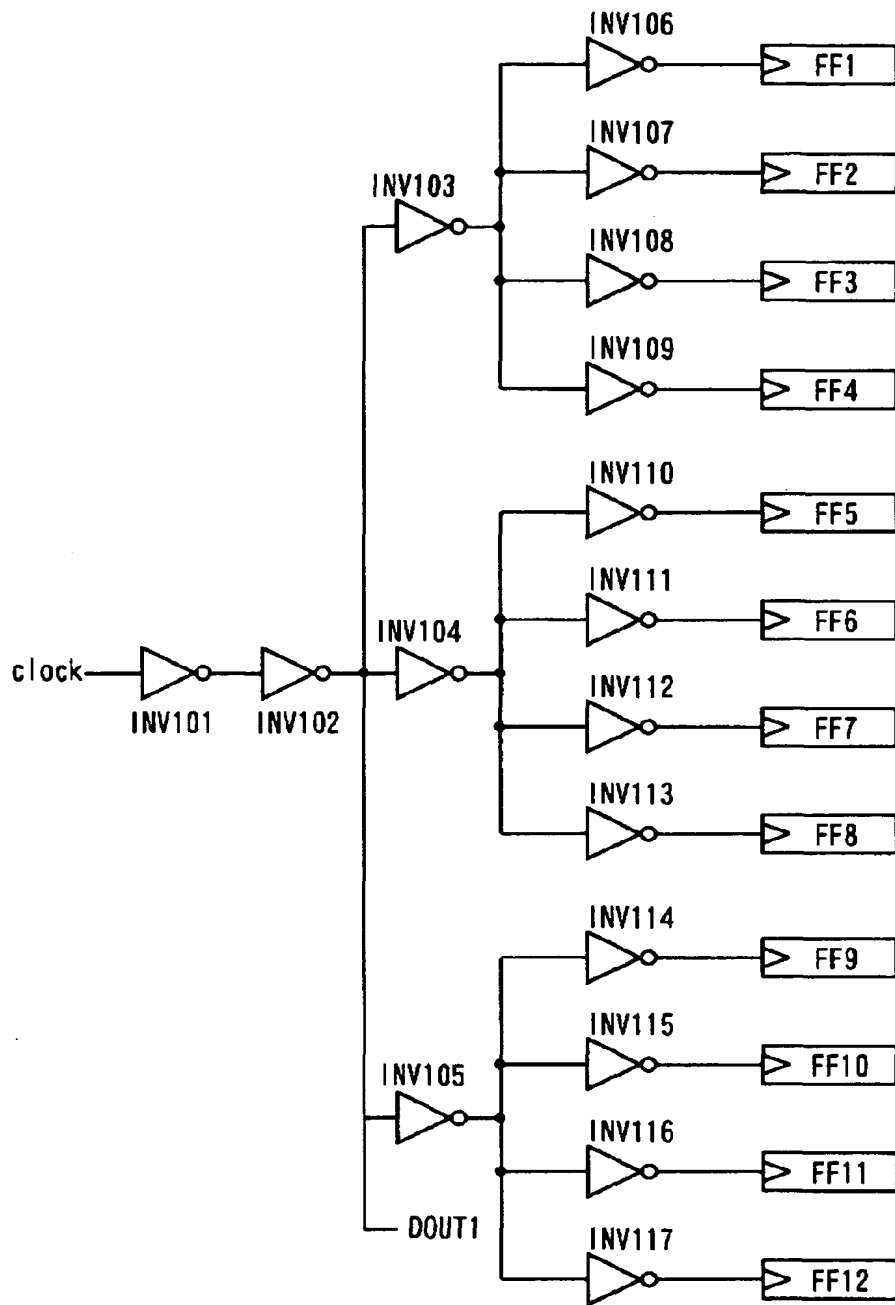
【図 1 0】



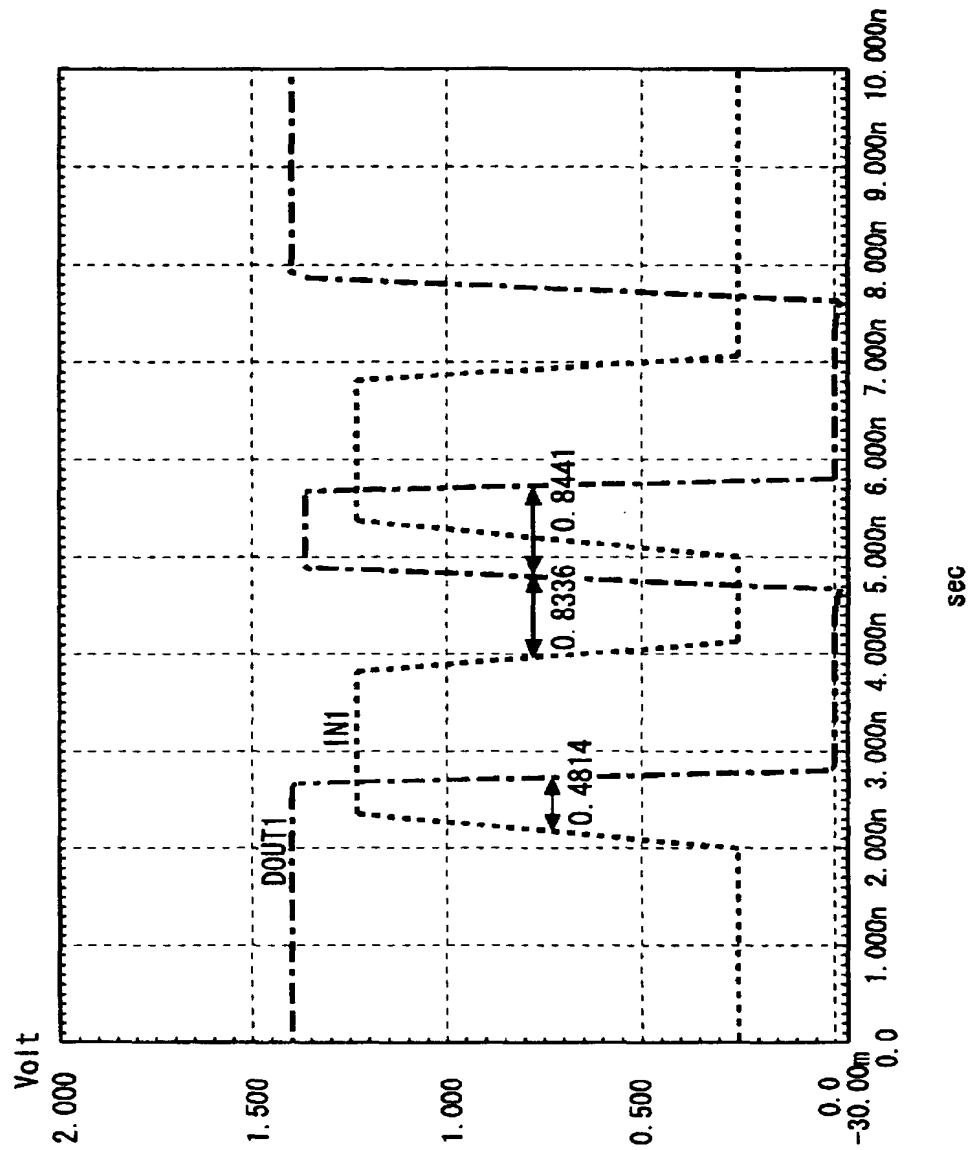
【図 1 1】



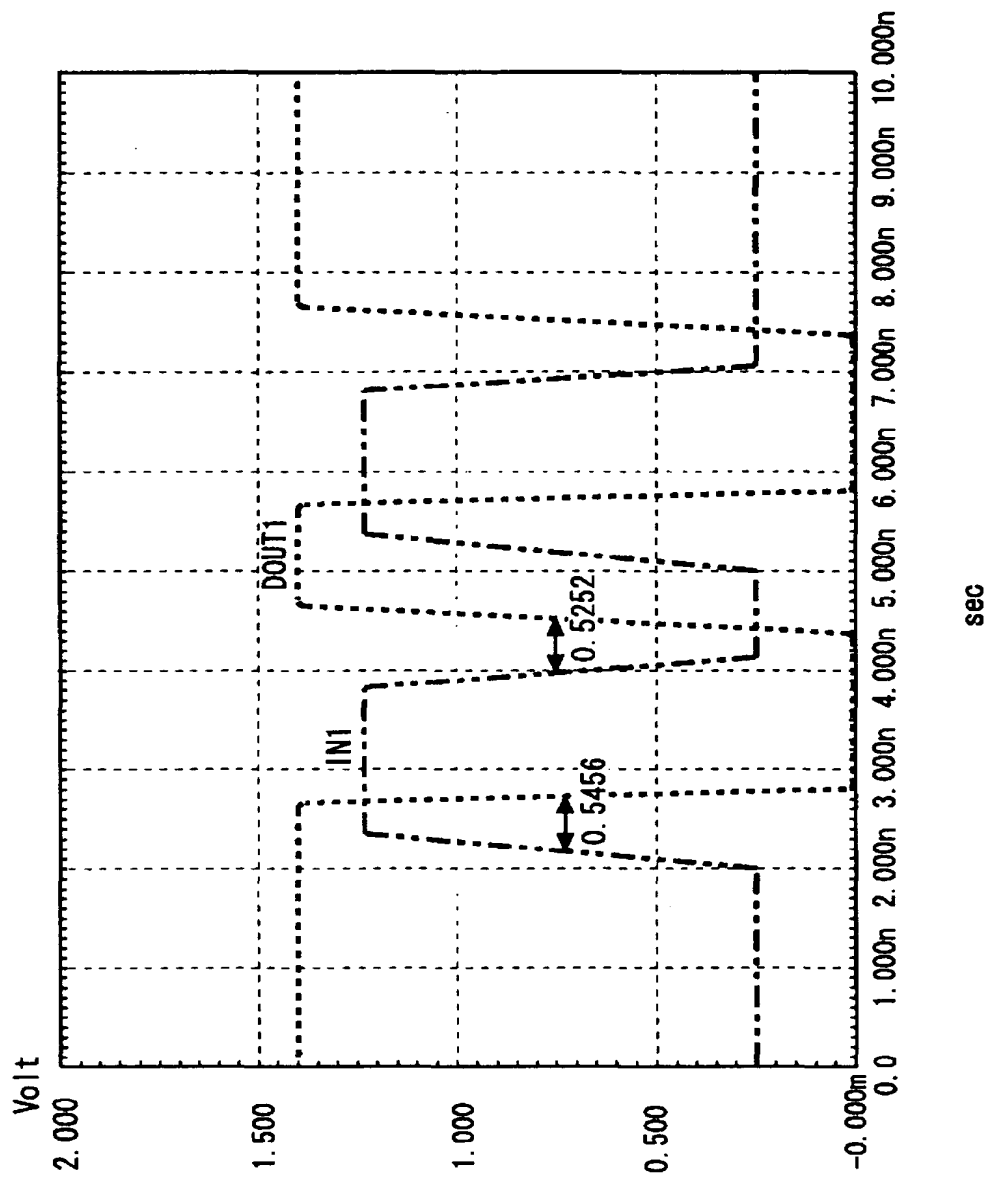
【図 12】



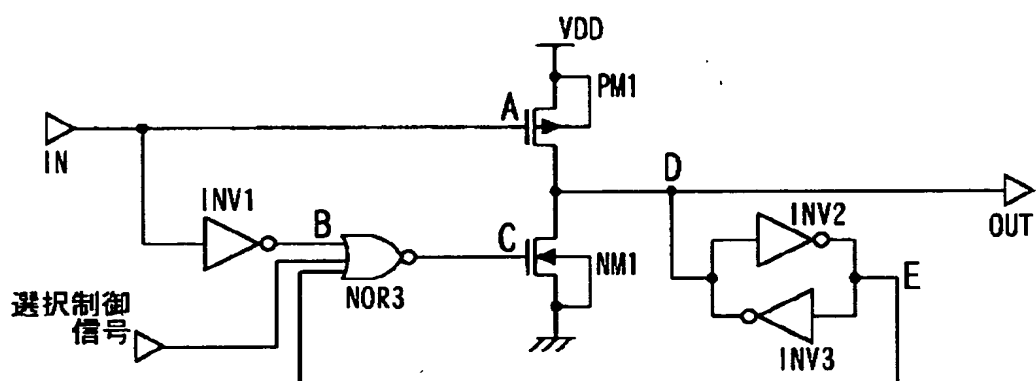
【図 1 3】



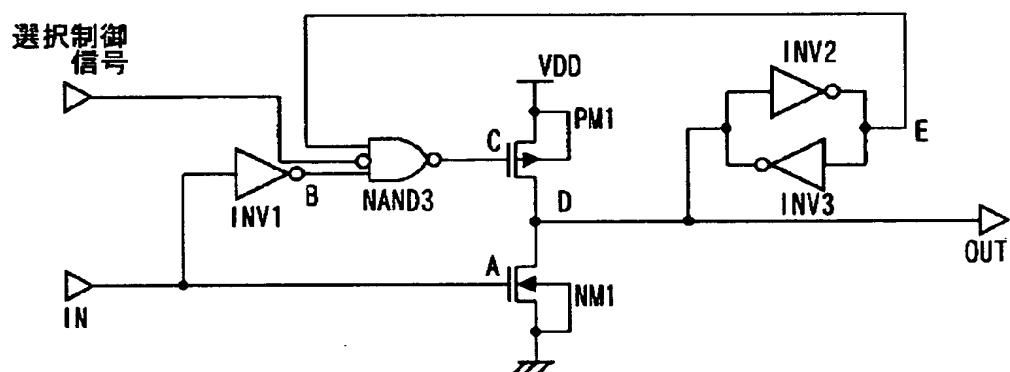
【図 1 4】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】

伝搬遅延時間を短縮しクロックツリーバッファに好適なバッファ回路の提供。

【解決手段】

第 1、第 2 の電源間に直列接続され、制御端子の信号値に基づきオン・オフ制御される 2 つのトランジスタ (PM1、NM1) を備え、2 つのトランジスタの接続点が出力端子 (OUT) に接続され、トランジスタ (PM1) は入力端子 (IN) に制御端子が接続されており、入力端子 (IN) からの入力信号に基づきトランジスタ (NM1) をオン・オフ制御する回路を備え、この回路は入力信号が第 2 の電源に対応する第 2 の論理レベルのときトランジスタ (NM1) をオフし入力信号の第 1 の電源に対応する第 1 の論理レベルへの遷移時にトランジスタ (NM1) をオンし出力端子 (OUT) を第 2 の電源電圧側に遷移させ、次にトランジスタ (NM1) をオフし、入力信号が第 1 から第 2 の論理レベルへ遷移しトランジスタ (PM1) がオフからオンへ遷移するときトランジスタ (NM1) はオフ状態とされ、出力端子 (OUT) にはフリップフロップ (INV2、INV3) が接続される。

【選択図】

図 1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 75010421

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【事件の表示】

 【出願番号】 特願2002-210628

【承継人】

 【識別番号】 302062931

 【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

 【識別番号】 100080816

 【弁理士】

 【氏名又は名称】 加藤 朝道

 【電話番号】 045-476-1131

【提出物件の目録】

 【物件名】 承継人であることを証明する登記簿謄本 1

 【援用の表示】 平成 1 5 年 1 月 1 0 日提出の特願 2 0 0 2 - 3 1 8 4 8
8 の出願人名義変更届に添付のものを援用する。

 【物件名】 承継人であることを証明する書面 1

 【援用の表示】 平成 1 5 年 1 月 1 5 日提出の平成 9 年特許願第 2 8 7 7
4 3 号の出願人名義変更届に添付のものを援用する。

 【包括委任状番号】 0216557

【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地

氏 名 NECエレクトロニクス株式会社